

**Method of production of semiconductor device**

Patent Number: ☐ US2001055845  
Publication date: 2001-12-27  
Inventor(s): MIWA HIROYUKI (JP); ARAI CHIHIRO (JP)  
Applicant(s): SONY CORP (US)  
Requested Patent: JP2002016158  
Application Number: US20010859635 20010518  
Priority Number(s): JP20000192966 20000627  
IPC Classification: H01L21/8249  
EC Classification: H01L21/8249  
Equivalents: ☐ US6344384

---

**Abstract**

---

A method of production of a semiconductor device able to be miniaturized by preventing the decline of the hFE at a low current caused by an increase of a surface recombination current of a bipolar transistor and forming an external base region by self-alignment with respect to emitter polycrystalline silicon in the BiCMOS process. An intrinsic base region of a first semiconductor element is formed, then an insulating film having an opening at an emitter formation region of part of the intrinsic base region is formed, and an emitter electrode of the first semiconductor element and a protective film are formed on an insulating film having the opening. Next, a sidewall insulating film is left on gate electrode side portion. Simultaneously, the insulating film is removed while partially leaving the emitter region forming-use insulating film under the emitter electrode. Further, the external base region connected to the intrinsic base region is formed on the semiconductor substrate surface by self-alignment with respect to the emitter electrode

---

Data supplied from the esp@cenet database - I2

**AM**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16158

(P2002-16158A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	テームト(参考)	
H 0 1 L 21/8249		H 0 1 L 21/265	6 0 4 Z	5 F 0 4 8
27/06			6 0 4 M	5 F 0 8 2
21/265	6 0 4	27/06	3 2 1 B	
		21/265	F	
		27/06	1 0 1 U	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く				

(21) 出願番号 特願2000-192966(P2000-192966)

(22) 出願日 平成12年6月27日 (2000.6.27)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒井 千広

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 三輪 浩之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

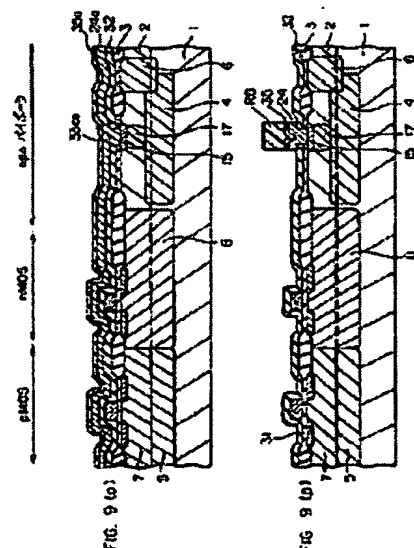
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 BiCMOSプロセスにおいて、バイポーラトランジスタの表面再結合電流の増大による低電流でのhFEの低下を防止し、外部ベース領域をエミッタ多結晶シリコンに対して自己整合的に形成することで微細化が可能な半導体装置の製造方法を提供する。

【解決手段】 第1の半導体素子の真性ベース領域15を形成後、真性ベース領域15上の一部的エミッタ形成領域に開口部330eを有する絶縁膜32を形成し、当該開口部330eを有する絶縁膜32に第1の半導体素子のエミッタ電極24の形成および保護膜35の形成を行う。次に、ゲート電極側部にサイドウォール絶縁膜を残し、同時にエミッタ電極下の一部的エミッタ領域形成用絶縁膜を残しながら絶縁膜を除去し、さらに半導体基板表面に、エミッタ電極に対して自己整合的に真性ベース領域に接する外部ベース領域を形成する。



【特許請求の範囲】

【請求項 1】第1領域に、コレクタ領域とエミッタ領域と真性ベース領域とを有する第1の半導体素子を形成し、第2領域に、ソース・ドレイン領域とゲート電極とを有し、当該ゲート電極の側部にサイドウォール絶縁膜を有する第2の半導体素子とを形成する半導体装置の製造方法であって、前記第1領域の半導体基板に前記コレクタ領域を形成する工程と、前記第2領域の半導体基板上に前記ゲート電極を形成する工程と、前記第1領域の前記半導体基板上に前記真性ベース領域を形成する工程と、前記第1および第2領域の前記半導体基板上に、前記真性ベース領域上のエミッタ形成領域に開口部を有する絶縁膜を形成する工程と、前記第1領域の前記絶縁膜の前記開口部内および前記開口部近傍にエミッタ電極を形成する工程と、前記第1領域の前記エミッタ電極への不純物の導入を抑制する保護膜を形成する工程と、前記エミッタ電極をマスクとして、前記ゲート電極側部にサイドウォール絶縁膜を残しながら前記第1および前記第2領域の前記絶縁膜を除去する工程と、前記第1領域の前記半導体基板上に、前記エミッタ電極に対して自己整合的に前記真性ベース領域に接する外部ベース領域を形成する工程と、前記サイドウォール絶縁膜をマスクとして前記第2領域の前記半導体基板上に前記ソース・ドレイン領域を形成する工程と、前記エミッタ電極から前記エミッタ領域形成用絶縁膜の前記開口部を介して前記真性ベース領域に不純物を拡散させて、前記開口部下部の前記第1領域の前記半導体基板上に前記真性ベース領域に接する前記エミッタ領域を形成する工程とを有する半導体装置の製造方法。

【請求項 2】前記真性ベース領域を形成する工程においては、前記第1領域において前記半導体基板上に不純物をイオン注入して前記真性ベース領域を形成するとともに、前記第2領域においても当該不純物をイオン注入して前記ゲート電極側部の前記半導体基板上に前記ソース・ドレイン領域に含まれる導電性不純物よりも低濃度の導電性不純物の拡散層を形成する請求項 1記載の半導体装置の製造方法。

【請求項 3】前記真性ベース領域を形成する工程の後、前記絶縁膜を形成する工程の前に、前記第1領域において前記真性ベース領域下の前記コレクタ領域の不純物濃度を増大させるための不純物層を形成する工程をさらに有し、当該不純物層を形成する工程において、前記第2領域において前記低濃度拡散層下に当該低濃度拡散層とは異なる

る導電性不純物を含有するポケット領域を形成する請求項 2記載の半導体装置の製造方法。

【請求項 4】前記外部ベース領域を形成する工程においては、前記第1領域において前記半導体基板上に不純物をイオン注入して、前記保護膜により前記エミッタ電極への当該不純物の注入を抑制しながら、前記エミッタ電極に対して自己整合的に前記外部ベース領域を形成する請求項 1記載の半導体装置の製造方法。

【請求項 5】前記外部ベース領域を形成する工程および前記ソース・ドレイン領域を形成する工程においては、前記第1領域において前記半導体基板上に不純物をイオン注入して前記外部ベース領域を形成するとともに、前記第2領域においても前記不純物をイオン注入して前記ソース・ドレイン領域を形成する請求項 1記載の半導体装置の製造方法。

【請求項 6】前記絶縁膜を形成する工程は、前記第1および第2領域において前記半導体基板上の全面に絶縁膜を形成する工程と、前記絶縁膜上に、前記第1領域における前記真性ベース領域上の前記エミッタ形成領域に開口部を有するマスク層を形成する工程と、前記マスク層をマスクとして、前記開口部内の前記絶縁膜を除去する工程とを有する請求項 1記載の半導体装置の製造方法。

【請求項 7】前記エミッタ電極を形成する工程および前記保護膜を形成する工程は、前記絶縁膜の前記開口部内および前記絶縁膜上にエミッタ用導電体層を形成する工程と、前記エミッタ用導電体層上に前記保護膜用膜を形成する工程と、前記エミッタ電極を形成する領域の前記保護膜用膜上にマスク層を形成し、当該マスク層をマスクとして、前記エミッタ用導電体層および前記保護膜用膜を除去して、前記エミッタ電極および前記保護膜を形成する請求項 1記載の半導体装置の製造方法。

【請求項 8】前記エミッタ電極を形成する工程において、多結晶シリコンにより前記エミッタ電極を形成する請求項 1記載の半導体装置の製造方法。

【請求項 9】前記保護膜を形成する工程において、前記保護膜を反射防止膜により形成する請求項 1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にB1CMOSTランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年電子機器の小型化、軽量化および消費電力の低減が進行するに伴い、半導体装置の高集積化および微細化に対する要求が高まっている。そこで、低

消費電力と高集積化という特性を有するCMOSと、大きな駆動力と高速度という特性を有するバイポーラトランジスタとを組み合わせたバイポーラCMOS(Bi-CMOS)の開発が活発に行われている。

【0003】従来の製造方法により製造されるBi-CMOSトランジスタの断面図を図13に示す。

【0004】図13に示すように、p型半導体基板1上にn型エピタキシャル層2が形成され、n型エピタキシャル層2の表面には、LOCOS技術により素子分離絶縁膜3が形成されている。

【0005】n-p-nバイポーラトランジスタ形成領域には、n型コレクタ領域となるn型エピタキシャル層2の下層にn型コレクタ埋め込み領域4が形成され、n型コレクタ埋め込み領域4の上層に、ベース直下の不純物濃度を増大させるためのSIC(Selective Ion Implantation of Collector)領域17が形成されている。n型エピタキシャル層2の表層には、p型不純物を含有する真性ベース領域15と、真性ベース領域15よりもさらに高濃度のp型不純物を含有し、低抵抗化されたベース取り出しの外部ベース領域16が接続して形成されている。p型ベース領域(15、16)上には、シリコン酸化膜33が形成されている。シリコン酸化膜33に設けられた開口部33aおよびシリコン酸化膜33上に、エミッタ多結晶シリコン24が形成されている。エミッタ多結晶シリコン24下部の真性ベース領域15の表層にn型エミッタ領域25が形成されている。また、n型コレクタ埋め込み領域4上のn型エピタキシャル層2の一部に、p型ベース領域(15、16)と隔てて、n型コレクタプラグ領域6およびn型コレクタ取り出し領域6aが形成されている。

【0006】pMOSトランジスタ形成領域には、p型半導体基板1と分離するためのn型分離領域5が形成され、さらにn型エピタキシャル層2にn型ウェル7が形成されている。また、nMOSトランジスタ部分には、p型ウェル8が形成されている。pMOSおよびnMOSトランジスタ形成領域には、それぞれ、n型ウェル7およびp型ウェル8の表層に、LDD領域(11、13)を有するソース・ドレイン領域(12、14)が形成されている。また、各ソース・ドレイン領域(12、14)の間にゲート酸化膜(31a、31b)を介して、ゲート電極(22、23)が形成され、ゲート電極(22、23)の側部にサイドウォール絶縁膜(32a、32b)がそれぞれ形成されている。

【0007】ゲート電極(22、23)を被覆して全面にシリコン酸化膜33が形成されており、また各トランジスタを被覆して全面に層間絶縁膜34が形成され、シリコン酸化膜33および層間絶縁膜34には、pMOSおよびnMOSトランジスタのソース・ドレイン領域(12、14)と、n-p-nバイポーラトランジスタの外部ベース領域16とエミッタ電極24、およびコレクタ

取り出し領域6aに達するコンタクトホール(41、42、43、44、45、46、47)が形成され、当該コンタクトホールの内部および上部には、配線層(51、52、53、54、55、56、57)が形成されている。

【0008】上記の構造の半導体装置の製造方法の1例について説明する。

【0009】まず、図14(a)に示すように、例えばp型シリコン半導体基板1を熱酸化法により酸化して、表面に酸化膜を形成し、当該酸化膜上部に、リソグラフィ技術によって、上記シリコン半導体基板1上のn-p-nバイポーラトランジスタ形成領域とpMOSトランジスタ形成領域に開口を有するパターンのレジスト膜R1を形成する。そして、このレジスト膜R1をマスクとして、酸化膜のパターニングを行い、n-p-nバイポーラトランジスタ形成領域とpMOSトランジスタ形成領域とに開口部を有する酸化膜36を形成する。

【0010】次に、図14(b)に示すように、レジスト膜R1を除去した後、酸化アンチモン(Sb<sub>2</sub>O<sub>3</sub>)の固体ソースを用いた熱拡散処理によって、上記酸化膜36に形成された開口部を通じてシリコン半導体基板1中にアンチモンを拡散させ、例えばn型コレクタ埋め込み領域4、およびp型半導体基板1と分離するためのn型分離領域5を形成する。

【0011】次に、図15(c)に示すように、例えばウェットエッチングによって酸化膜36を除去した後、エピタキシャル成長法により、シリコン半導体基板1上にn型エピタキシャル層2を形成する。

【0012】次に、図15(d)に示すように、LOCOSプロセスにより、n型エピタキシャル層2に素子分離絶縁膜3を形成する。この素子分離絶縁膜3の形成工程では、例えば、n型エピタキシャル層2の表面に熱酸化法により酸化シリコン膜3aを形成し、当該酸化シリコン膜3a上の素子分離絶縁膜形成領域以外の領域に不図示の窒化シリコン膜を形成し、当該窒化シリコン膜を耐酸化性マスクに用いて、n型エピタキシャル層2の表面を熱酸化して、素子分離絶縁膜3を形成する。その後、窒化シリコン膜をエッチング除去することにより素子分離絶縁膜3が形成される。

【0013】次に、図16(e)に示すように、n-p-nバイポーラトランジスタ形成領域におけるn型コレクタプラグ領域を形成する領域に開口を有するレジスト膜R2を形成した後、当該レジスト膜R2をマスクとして、例えば、n型不純物のリンをイオン注入することにより、n型エピタキシャル層2に、n型コレクタ埋め込み領域4に接続するn型コレクタプラグ領域6を形成する。その後、レジスト膜R2を除去する。

【0014】次に、図16(f)に示すように、n型エピタキシャル層2上にpMOSトランジスタ形成領域に開口を有するレジスト膜R3をリソグラフィ技術を用

いて形成し、 $n$ 型不純物の例えばリンをイオン注入を行うことによって、 $n$ 型ウェル7を形成する。その後レジスト膜R3を除去する。

【0015】次に、図17(e)に示すように、 $n$ 型エピタキシャル層2上に、 $n$ MOSトランジスタ形成領域と、 $n$ MOSおよび $p$ MOSトランジスタと $n$ pnバイポーラトランジスタ形成領域の間の素子分離領域の一部に開口を有するレジスト膜R4をリソグラフィ技術を用いて形成し、例えば、 $p$ 型不純物のホウ素をイオン注入することによって、素子分離領域を兼ねた $p$ 型ウェル8を形成する。

【0016】次に、図17(h)に示すように、レジスト膜R4を除去した後、例えばウェットエッチングにより、酸化膜3eを除去し、例えば熱酸化法によってゲート酸化膜31を形成する。

【0017】次に、図18(i)に示すように、 $n$ MOSおよび $p$ MOSトランジスタ形成領域にゲート電極(22、23)を形成する。

【0018】次に、図18(j)に示すように、リソグラフィ技術によって、 $p$ MOS形成領域に開口を有するレジスト膜R5を形成し、レジスト膜R5をマスクとして、 $p$ 型不純物の例えば二フッ化ホウ素( $BF_2$ )をイオン注入することによって、ゲート電極22の両側部の $n$ 型ウェル7中に $p$ 型LDD領域11を形成する。その後、レジスト膜R5を除去する。

【0019】次に、図19(k)に示すように、リソグラフィ技術によって、 $n$ MOSトランジスタ形成領域に開口を有するレジスト膜R6を形成し、レジスト膜R6をマスクとして、 $n$ 型不純物の例えばヒ素( $As$ )をイオン注入することによって、ゲート電極23の両側部の $p$ 型ウェル8中に $n$ 型LDD領域13を形成する。その後、レジスト膜R6を除去する。

【0020】次に、図19(l)に示すように、リソグラフィ技術によって、 $n$ pnバイポーラトランジスタの真性ベース形成領域に開口を有するレジスト膜R7を形成し、レジスト膜R7をマスクとして、 $p$ 型不純物の例えば二フッ化ホウ素をイオン注入することによって、真性ベース領域15を形成する。さらに、レジスト膜R7をマスクとして、 $n$ 型不純物の例えばリンをイオン注入することによって、ベース直下のコレクタ不純物濃度を増大させるためのSIC(Selective Ion Implantation of Collector)領域17を形成する。その後、レジスト膜R7を除去する。

【0021】次に、図20(m)に示すように、CVD法によって、各トランジスタを被覆して全面に酸化シリコンを堆積させて、サイドウォール用絶縁膜32を形成する。

【0022】次に、図20(n)に示すように、例えばR1Eにより、サイドウォール用絶縁膜32をエッチング除去して、各ゲート電極(22、23)の側部にサイ

ドウォール絶縁膜(32a、32b)を形成する。

【0023】次に、図21(o)に示すように、 $n$ MOSトランジスタ形成領域、および $n$ pnバイポーラトランジスタのコレクタ取り出し領域に開口を有するレジスト膜R8をリソグラフィ技術を用いて形成し、 $n$ 型の不純物として、例えばヒ素をイオン注入することによって、 $n$ MOSトランジスタのソース・ドレイン領域14および、 $n$ pnバイポーラトランジスタのコレクタ取り出し領域6aを形成する。その後、レジスト膜R8を除去する。

【0024】次に、図21(p)に示すように、 $p$ MOSトランジスタ形成領域、および $n$ pnバイポーラトランジスタの外部ベース形成領域に開口を有するレジスト膜R9をリソグラフィ技術を用いて形成し、 $p$ 型の不純物として、例えば二フッ化ホウ素をイオン注入することによって、 $p$ MOSトランジスタのソース・ドレイン領域12および $n$ pnバイポーラトランジスタの外部ベース領域16を形成する。その後、レジスト膜R9を除去する。

【0025】次に、図22(q)に示すように、酸化シリコン膜33を全面に堆積させて、酸化シリコン膜33の上部にエミッタ形成領域に開口を有するレジスト膜R10をリソグラフィ技術を用いて形成し、レジスト膜R10をマスクとして、R1Eによって、酸化シリコン膜33にエミッタ形成用開口部33aを形成する。その後、レジスト膜R10を除去する。

【0026】次に、図22(r)に示すように、LPCVD(Low Pressure Chemical Vapor Deposition)法により、開口部33a内を含む全面にエミッタ多結晶シリコンとなる $n$ 型不純物のヒ素が高濃度にドーピングされたエミッタ多結晶シリコン層24aを形成する。

【0027】次に、図23(s)に示すように、エミッタ多結晶シリコン層24a上に、リソグラフィ技術によって、 $n$ pnバイポーラトランジスタのエミッタ多結晶シリコンのパターンを有するレジスト膜R11を形成し、当該レジスト膜R11をマスクとして、エミッタ多結晶シリコン層24aにエッチングを行い、エミッタ多結晶シリコン24を形成する。その後、レジスト膜R11を除去する。

【0028】次に、図23(t)に示すように、例えばRTA(Rapid Thermal Anneal)を行い、 $p$ MOSおよび $n$ MOSのソース・ドレイン領域(12、14)に導入された不純物を活性化させる。また、この熱処理によりエミッタ多結晶シリコン24からシリコン酸化膜33の開口部33aを介して $p$ 型真性ベース領域15に不純物が拡散し、 $n$ 型エミッタ領域25が形成される。その後、全面にホウ素リンシリケートガラス(BPSG)を堆積させて、層間絶縁膜34を形成する。また、層間絶縁膜34上に不図示のレジスト膜を形成し、当該レジスト膜をマスクとして、層間絶縁膜34および酸化シリコ

ン膜33に、pMOSトランジスタのソースドレイン領域12に達する開口部(41, 42)、nMOSトランジスタのソース・ドレイン領域14に達する開口部(43, 44)、npnバイポーラトランジスタの外部ベース領域16に達する開口部45、エミッタ多結晶シリコン24に達する開口部46、コレクタ取り出し領域6aに達する開口部47を形成する。

【0029】以降の工程としては、各開口部(41~47)の内部に例えばタングステンを堆積させて不図示のタングステンプラグを形成し、当該タングステンプラグを介して、pMOSトランジスタのソースドレイン領域12に接続する配線(51, 52)、nMOSトランジスタのソース・ドレイン領域14に接続する配線(53, 54)、npnバイポーラトランジスタの外部ベース領域16に接続する配線55、エミッタ多結晶シリコン24に接続する配線56、コレクタ取り出し領域6aに接続する配線57を形成することにより図13に示す半導体装置に至る。

【0030】上記の従来技術によるBiCMOSを有する半導体装置の製造方法では、図20(n)に示すように、nMOSおよびpMOSトランジスタのサイドウォール絶縁膜32a, 32bの形成を、サイドウォール用絶縁膜32をR1Eによってエッチング除去することによって行う。その際、素子分離絶縁膜3の領域とゲート電極(22, 23)の領域以外は、シリコン部分(エピタキシャル層2)が露出していることから、R1Eによってシリコン部分へのダメージを与えられる。

【0031】pMOSおよびnMOSトランジスタ形成領域においては、サイドウォール絶縁膜形成時に、シリコン部分が露出する領域は、ソース・ドレイン領域である。このソース・ドレイン領域は、高濃度不純物が導入される領域であるため、シリコン部分が露出することの影響は少ない。

【0032】

【発明が解決しようとする課題】しかしながら、バイポーラトランジスタ形成領域においては、シリコン部分が露出された領域にエミッタ領域が形成されるため、表面再結合電流の増加に伴う低電流でのhFE(電流増幅率)の低下により信頼性が悪化するという問題がある。このバイポーラトランジスタ形成領域において表面再結合電流が増加することによる低電流でのhFEの低下は一般に知られており、この表面再結合電流は、基板表面での結晶の不連続性やその他の欠陥から生ずる表面準位を介して行われるキャリアの再結合が原因であるため、表面の処理状態に強い影響を受ける。従って、バイポーラトランジスタの活性領域となるエミッタ形成領域、およびエミッタとp型外部ベース領域間には、R1Eダメージを与えないことが重要である。

【0033】また従来では、図22(a)に示すように、エミッタ多結晶シリコンを形成するために、レジス

ト膜R10により、酸化シリコン膜33に開口を形成する工程において、エミッタ領域25が形成される開口部33aとその左右の外部ベース領域16の位置合わせを考慮する必要がある。すなわち、エミッタ領域25と外部ベース領域16との距離が短すぎると耐圧の低下や、エミッタ領域25と真性および外部ベース領域(15, 16)の接合容量の増加といった不利益が生じ、また、エミッタ領域25と外部ベース領域16との距離が長すぎるとベース抵抗の増大といった不利益を招くことから、エミッタ領域25と外部ベース領域16との間の距離の最適化が重要となってくる。これらの問題と、レジスト膜の位置合わせのずれを考慮して、ある程度のマージンをもたせるため、通常エミッタ領域25と外部ベース領域16間の距離を比較的大きくすることとなる。具体的には、例えば、図21(d)におけるエミッタ多結晶シリコン形成領域をレジスト膜R9で保護し、外部ベース領域16を形成する工程では、エミッタ多結晶シリコン形成領域を保護する部分のレジスト膜R9の幅を大きく形成し、図22以降の工程で当該大きく保護した領域に、レジスト膜R10の位置合わせを行い、エミッタ多結晶シリコンを形成することとなるが、かかるマージンの必要性により、エミッタ領域25と外部ベース領域16間の距離が比較的大きくなることからBiCMOSの微細化に限界がある。

【0034】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明は、BiCMOSプロセスにおいて、バイポーラトランジスタの表面再結合電流の増大による低電流でのhFEの低下を防止し、外部ベース領域をエミッタ多結晶シリコンに対して自己整合的に形成することで微細化が可能な半導体装置の製造方法を提供することを目的とする。

【0035】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、第1領域に、コレクタ領域とエミッタ領域と真性ベース領域とを有する第1の半導体素子を形成し、第2領域に、ソース・ドレイン領域とゲート電極とを有し、当該ゲート電極の側部にサイドウォール絶縁膜を有する第2の半導体素子とを形成する半導体装置の製造方法であって、前記第1領域の半導体基板上に前記コレクタ領域を形成する工程と、前記第2領域の半導体基板上に前記ゲート電極を形成する工程と、前記第1領域の前記半導体基板上に前記真性ベース領域を形成する工程と、前記第1および第2領域の前記半導体基板上に、前記真性ベース領域上のエミッタ形成領域に開口部を有する絶縁膜を形成する工程と、前記第1領域の前記絶縁膜の前記開口部内および前記開口部近傍にエミッタ電極を形成する工程と、前記第1領域の前記エミッタ電極への不純物の導入を抑制する保護膜を形成する工程と、前記エミッタ電極をマスクとして、前記ゲート電極側部にサイドウォール絶縁膜を残し、前記

エミッタ電極下の一部にエミッタ領域形成用絶縁膜を残しながら前記第1および前記第2領域の前記絶縁膜を除去する工程と、前記第1領域の前記半導体基板に、前記エミッタ電極に対して自己整合的に前記真性ベース領域に接する外部ベース領域を形成する工程と、前記サイドウォール絶縁膜をマスクとして前記第2領域の前記半導体基板に前記ソース・ドレイン領域を形成する工程と、前記エミッタ電極から前記エミッタ領域形成用絶縁膜の前記開口部を介して前記真性ベース領域に不純物を拡散させて、前記開口部下部の前記第1領域の前記半導体基板に前記真性ベース領域に接する前記エミッタ領域を形成する工程とを有する。

【0036】上記の本発明の半導体装置の製造方法によれば、第1の半導体素子の真性ベース領域を形成後、真性ベース領域上のエミッタ形成領域に開口部を有する絶縁膜を形成し、当該開口部を有する絶縁膜に第1の半導体素子のエミッタ電極の形成および保護膜の形成を行う。次に、エミッタ電極をマスクとして、ゲート電極側部にサイドウォール絶縁膜を残し、エミッタ電極下の一部にエミッタ領域形成用絶縁膜を残しながら第1および第2領域の絶縁膜を除去する。次に、第1領域の半導体基板に、エミッタ電極に対して自己整合的に真性ベース領域に接する外部ベース領域を形成することとなる。従って、サイドウォール絶縁膜を形成する際には、エミッタ電極下部のエミッタ領域形成用絶縁膜が残るため、第1の半導体素子の活性領域であるエミッタ領域と、エミッタ領域と外部ベース領域の間の半導体基板にはサイドウォール絶縁膜形成の際のダメージを与えることなくサイドウォール絶縁膜を形成することができる。また、エミッタ電極に対して自己整合的に外部ベース領域を形成でき、かつエミッタ電極上部に保護膜を形成していることにより、外部ベース領域形成のための不純物がエミッタ電極中に導入されることによる特性変動を防止することができる。

【0037】また、好適には、前記真性ベース領域を形成する工程においては、前記第1領域において前記半導体基板に不純物をイオン注入して前記真性ベース領域を形成するとともに、前記第2領域においても当該不純物をイオン注入して前記ゲート電極側部の前記半導体基板に前記ソース・ドレイン領域に含まれる導電性不純物よりも低濃度の導電性不純物の拡散層を形成する。これにより、第1の半導体素子の真性ベース領域を形成する工程において、同時に、第2の半導体素子の低濃度拡散層を形成することができるため製造工程を削減することができる。

【0038】好適には、前記真性ベース領域を形成する工程の後、前記絶縁膜を形成する工程の前に、前記第1領域において前記真性ベース領域下の前記コレクタ領域の不純物濃度を増大させるための不純物層を形成する工程をさらに有し、当該不純物層を形成する工程におい

て、前記第2領域において前記低濃度拡散層下に当該低濃度拡散層とは異なる導電性不純物を含有するポケット領域を形成する。これにより、第1の半導体素子のベース領域下のコレクタ領域の不純物濃度を増大させるための不純物層を形成する工程において、同時に、第2の半導体素子の例えば短チャネル効果防止のためのポケット領域を形成できるため、製造工程を削減することができる。

【0039】好適には、前記外部ベース領域を形成する工程および前記ソース・ドレイン領域を形成する工程においては、前記第1領域において前記半導体基板に不純物をイオン注入して前記外部ベース領域を形成するとともに、前記第2領域においても前記不純物をイオン注入して前記ソース・ドレイン領域を形成する。これにより、第1の半導体素子の外部ベース領域を形成する工程において、同時に、第2の半導体素子のソース・ドレイン領域をも形成するため、製造工程を削減することができる。

【0040】例えば、前記エミッタ電極を形成する工程および前記保護膜を形成する工程は、前記絶縁膜の前記開口部内および前記絶縁膜上にエミッタ用導電体層を形成する工程と、前記エミッタ用導電体層上に前記保護膜用膜を形成する工程と、前記エミッタ電極を形成する領域の前記保護膜用膜上にマスク層を形成し、当該マスク層をマスクとして、前記エミッタ用導電体層および前記保護膜用膜を除去して、前記エミッタ電極および前記保護膜を形成する。

【0041】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。

【0042】図1は、本発明の半導体装置の製造方法により製造されるp1CMOSトランジスタの断面図である。

【0043】図1に示すように、p型半導体基板1上にn型エピタキシャル層2が形成され、n型エピタキシャル層2の表面には、LOCOS技術により素子分離絶縁膜3が形成されている。

【0044】npnバイポーラトランジスタ形成領域には、n型コレクタ領域となるn型エピタキシャル層2の下層にn型コレクタ埋め込み領域4が形成され、n型コレクタ埋め込み領域4の上層に、ベース直下のコレクタ不純物濃度を増大させるためのSIC(Selective Ion Implantation of Collector)領域17が形成されている。n型エピタキシャル層2の表層にp型不純物を含有する真性ベース領域15と、真性ベース領域15よりもさらに高濃度のp型不純物を含有し、低抵抗化されたベース取り出しの外部ベース領域16が接続して形成されている。p型真性ベース領域15上の一部に、シリコン酸化膜32cが形成されている。シリコン酸化膜32c

に設けられた開口部32cおよびシリコン酸化膜32c上に、エミッタ多結晶シリコン24が形成されている。エミッタ多結晶シリコン24上には、反射防止膜35が形成されており、また、エミッタ多結晶シリコン24下部の真性ベース領域15の表層にn型エミッタ領域25が形成されている。また、n型コレクタ埋め込み領域4上のn型エピタキシャル層2の一部に、p型ベース領域(15、16)と隣接して、n型コレクタプラグ領域6およびn型コレクタ取り出し領域6aが形成されている。

【0045】pMOSトランジスタ形成領域には、p型半導体基板1と分離するためにn型分離領域5が形成され、さらにn型エピタキシャル層2にn型ウェル7が形成されている。また、nMOSトランジスタ形成領域には、p型ウェル8が形成されている。各pMOSおよびnMOSトランジスタ形成領域には、n型ウェル7およびp型ウェル8の表層に、LDD領域(11、13)を有するソース・ドレイン領域(12、14)が形成されている。また、各ソース・ドレイン領域(12、14)の間にゲート酸化膜(31a、31b)を介して、ゲート電極(22、23)が形成され、ゲート電極(22、23)の側部にサイドウォール絶縁膜(32a、32b)がそれぞれ形成されている。

【0046】各トランジスタを被覆して全面に層間絶縁膜34が形成され、層間絶縁膜34には、pMOSおよびnMOSトランジスタのソース・ドレイン領域(12、14)と、npnバイポーラトランジスタの外部ベース領域16とエミッタ電極24、およびコレクタ取り出し領域6aに達するコンタクトホール(41、42、43、44、45、46、47)が形成され、当該コンタクトホールの内部および上部には、配線層(51、52、53、54、55、56、57)が形成されている。

【0047】上記の構造の半導体装置の製造方法について説明する。

【0048】まず、図2(a)に示すように、例えばp型シリコン半導体基板1を熱酸化法により酸化して、表面に酸化膜36を例えば300nmの厚さに形成する。そして、レジスト塗布およびリソグラフィ技術によって、上記シリコン半導体基板1上のnpnバイポーラトランジスタ形成領域とpMOSトランジスタ形成領域に開口を有するパターンをレジスト膜R1を形成する。そして、このレジスト膜R1をマスクとして、例えば、フッ酸を用いたウェットエッチングによって、シリコン半導体基板1の表面に形成された酸化膜36に、npnバイポーラトランジスタ形成領域とpMOSトランジスタ形成領域とに開口部を形成する。

【0049】次に、図2(b)に示すように、レジスト膜R1を例えば、過酸化水素と硫酸との混合液を用いて除去した後、酸化アンチモン(Sb<sub>2</sub>O<sub>3</sub>)の固体ソー

スを用いた1200℃、60分間の熱拡散処理によって、上記酸化膜36に形成された開口部を通してシリコン半導体基板1中にアンチモンを拡散させ、例えばn型コレクタ埋め込み領域4、およびp型半導体基板1と分離するためのn型分離領域5を形成する。

【0050】次に、図3(a)に示すように、例えばフッ酸を用いたウェットエッチングによって酸化膜36を除去した後、エピタキシャル成長法により、シリコン半導体基板1上に例えば、膜厚1μmで、抵抗率が1Ωcmとなるn型エピタキシャル層2を形成する。

【0051】次に、図3(d)に示すように、LOCOSプロセスにより、n型エピタキシャル層2に素子分離絶縁膜3を形成する。この素子分離絶縁膜3の形成工程では、例えば、n型エピタキシャル層2の表面を熱酸化法により酸化して、例えば膜厚30nmの酸化シリコン膜3aを形成する。さらに減圧化学気相成長法(LP-CVD法:Low Pressure Chemical Vapor Deposition)によって、上記酸化シリコン膜3aに不図示の酸化シリコン膜を例えば100nmの厚さに形成する。そして、当該酸化シリコン膜上に素子分離絶縁膜形成領域に開口を有するパターンの不図示のレジスト膜を形成し、当該レジスト膜をマスクとして素子分離絶縁膜形成領域における酸化シリコン膜をRIE(反応性イオンエッチング:Reactive ion etching)により除去する。その後、素子分離絶縁膜形成領域以外の領域に形成された酸化シリコン膜を耐酸化性マスクに用いて、1050℃のウェット酸素雰囲気中でn型エピタキシャル層2の表面を熱酸化して、例えば膜厚450nmの素子分離絶縁膜3を形成する。その後、酸化シリコン膜を例えば150℃の熱リン酸を用いて選択的にエッチング除去することにより素子分離絶縁膜3が形成される。

【0052】次に、図4(e)に示すように、n型エピタキシャル層2に、npnバイポーラトランジスタ形成領域のn型コレクタ埋め込み領域4に接続するn型コレクタプラグ領域6を形成する。n型コレクタプラグ領域6の形成は、当該n型コレクタプラグ領域6を形成する領域に開口を有するレジスト膜R2を形成した後、当該レジスト膜R2をマスクとして、イオンエネルギー500keV、ドーズ量 $2 \times 10^{12} \text{ atoms/cm}^2$ 、およびイオンエネルギー70keV、ドーズ量 $7 \times 10^{15} \text{ atoms/cm}^2$ の条件で連続してn型不純物のリンをイオン注入することにより行われる。その後、レジスト剥離技術によって、レジスト膜R2を除去する。

【0053】次に、図4(f)に示すように、n型エピタキシャル層2上にpMOSトランジスタ形成領域に開口を有するレジスト膜R3をリソグラフィ技術を用いて形成し、n型不純物の例えばリン(P<sup>+</sup>)をイオンエネルギー600keV、ドーズ量 $5 \times 10^{12} \text{ atoms/cm}^2$ の条件と、イオンエネルギー300keV、ドーズ量 $3 \times 10^{12} \text{ atoms/cm}^2$ の条件で、続けて



イオン注入を行うことによって、 $n$ 型ウェル $7$ を形成する。さらに、しきい値制御用として、 $p$ 型不純物の例えばホウ素( $B^+$ )を、イオンエネルギー $20\text{keV}$ 、ドーズ量 $5 \times 10^{12}\text{atoms/cm}^2$ の条件で、イオン注入を行う。その後レジスト膜 $R3$ を除去する。

【0054】次に、図5(e)に示すように、 $n$ 型エビタキシャル層 $2$ 上に、 $n$ MOSトランジスタ形成領域と、 $p$ MOSおよび $n$ MOSトランジスタと $n$ pnバイポーラトランジスタ形成領域の間の素子分離領域の一部に開口を有するレジスト膜 $R4$ をリソグラフィ技術を用いて形成し、例えば、 $p$ 型不純物のホウ素をイオンエネルギー $80\text{keV}$ 、ドーズ量 $5 \times 10^{12}\text{atoms/cm}^2$ の条件と、イオンエネルギー $35\text{keV}$ 、ドーズ量 $5 \times 10^{12}\text{atoms/cm}^2$ の条件で、イオン注入を行うことによって、素子分離領域を兼ねた $p$ 型ウェル $8$ を形成する。さらに、しきい値制御用に、例えば、 $n$ 型不純物のリンをイオンエネルギー $20\text{keV}$ で、ドーズ量 $2 \times 10^{12}\text{atoms/cm}^2$ の条件で、イオン注入を行う。

【0055】次に、図5(h)に示すように、レジスト膜 $R4$ を除去した後、フッ酸( $\text{HF}$ )を用いたウェットエッチングにより、酸化膜 $3a$ を除去し、例えば、 $850^\circ\text{C}$ のウェット酸素雰囲気中における5分間の熱酸化によって、例えば膜厚 $5\text{nm}$ のゲート絶縁膜 $31$ を形成する。

【0056】次に、図6(i)に示すように、 $n$ MOSおよび $p$ MOSトランジスタ形成領域にゲート電極 $(22, 23)$ を形成する。当該ゲート電極 $(22, 23)$ の形成工程では、例えば、 $\text{LPCVD}$ 法によって、不図示の多結晶シリコン膜を例えば $100\text{nm}$ の厚さに形成し、例えば、三塩化酸化リン( $\text{POCl}_3$ )を用いた、プレポジッション法によって、多結晶シリコン膜にリンを高濃度に導入する。その後、例えば、 $\text{CVD}$ (Chemical Vapor Deposition)法によって、不図示のタングステン膜を例えば $100\text{nm}$ の厚さに形成し、リソグラフィ技術により、 $p$ MOSおよび $n$ MOSトランジスタのゲート電極パターンを有する不図示のレジスト膜を形成して、 $\text{RIE}$ によりゲート電極部以外のタングステン膜および多結晶シリコン膜をエッチング除去する。その結果、多結晶シリコン膜とタングステン膜とにより構成されるゲート電極 $(22, 23)$ が形成されることになる。

【0057】次に、図6(j)に示すように、リソグラフィ技術によって、 $p$ MOSトランジスタ形成領域に開口を有するレジスト膜 $R5$ を形成し、レジスト膜 $R5$ をマスクとして、 $p$ 型不純物の例えば二フッ化ホウ素( $\text{BF}_2^+$ )を、イオンエネルギー $25\text{keV}$ 、ドーズ量 $2 \times 10^{13}\text{atoms/cm}^2$ の条件で、イオン注入することによって、ゲート電極 $22$ の両側部におけるエビ

タキシャル層 $2$ の $n$ 型ウェル $7$ 中に $p$ 型 $\text{LDD}$ 領域 $11$ を形成する。また、続けて、 $p$ 型 $\text{LDD}$ 領域 $11$ の下部に短チャネル効果防止のために、 $n$ 型不純物の例えばヒ素( $\text{As}^+$ )をイオンエネルギー $300\text{keV}$ 、ドーズ量 $1.5 \times 10^{13}\text{atoms/cm}^2$ の条件でイオン注入することによって、 $p$ 型 $\text{LDD}$ 領域 $11$ の下部に $n$ 型ウェル $7$ の一部となる不図示の $n$ 型ポケットを形成する。その後、レジスト膜 $R5$ を除去する。

【0058】次に、図7(k)に示すように、リソグラフィ技術によって、 $n$ MOSトランジスタ形成領域に開口を有するレジスト膜 $R6$ を形成し、レジスト膜 $R6$ をマスクとして、 $n$ 型不純物の例えばヒ素( $\text{As}^+$ )を、イオンエネルギー $60\text{keV}$ 、ドーズ量 $3.5 \times 10^{13}\text{atoms/cm}^2$ の条件で、イオン注入することによって、ゲート電極 $23$ の両側部におけるエビタキシャル層 $2$ の $p$ 型ウェル $8$ 中に $n$ 型 $\text{LDD}$ 領域 $13$ を形成する。また、続けて、 $n$ 型 $\text{LDD}$ 領域 $13$ の下部に短チャネル効果防止のために、 $p$ 型不純物の例えばホウ素( $B^+$ )をイオンエネルギー $30\text{keV}$ 、ドーズ量 $1.2 \times 10^{13}\text{atoms/cm}^2$ の条件でイオン注入することによって、 $n$ 型 $\text{LDD}$ 領域 $13$ の下部に $p$ 型ウェル $8$ の一部となる不図示の $p$ 型ポケットを形成する。その後、レジスト膜 $R6$ を除去する。

【0059】次に、図7(l)に示すように、リソグラフィ技術によって、 $n$ pnバイポーラトランジスタの真性ベース形成領域に開口を有するレジスト膜 $R7$ を形成し、レジスト膜 $R7$ をマスクとして、 $p$ 型不純物の例えば二フッ化ホウ素をイオンエネルギー $30\text{keV}$ 、ドーズ量 $5 \times 10^{13}\text{atoms/cm}^2$ の条件でイオン注入することによって、真性ベース領域 $15$ を形成する。なお、この真性ベース領域 $15$ は、後に形成される外部ベース領域と、真性ベース領域の間のリンクベース領域をも兼ねている。さらに、レジスト膜 $R7$ をマスクとして、 $n$ 型不純物の例えばリンをイオンエネルギー $120\text{keV}$ 、ドーズ量 $2 \times 10^{12}\text{atoms/cm}^2$ の条件、およびイオンエネルギー $360\text{keV}$ 、ドーズ量 $3 \times 10^{12}\text{atoms/cm}^2$ の条件で連続してイオン注入することによって、真性ベース領域 $15$ の直下のコレクタ不純物濃度を増大させるための $\text{SiC}$ (Selective Ion Implantation of Collector)領域 $17$ を形成する。なお、当該工程において、 $n$ pnバイポーラトランジスタの真性ベース領域 $15$ は、後に形成するエミッタポリシリコンのサイズと同程度のサイズで構わない。

【0060】次に、図8(m)に示すように、 $\text{CVD}$ 法によって、各トランジスタを被覆して全面に酸化シリコンを例えば膜厚 $200\text{nm}$ に堆積させて、サイドウォール用絶縁膜 $32$ を形成する。

【0061】次に、図8(n)に示すように、サイドウォール用絶縁膜 $32$ の上部にエミッタ形成領域に開口を有する不図示のレジスト膜をリソグラフィ技術を用い

て形成し、当該レジスト膜をマスクとして、例えばR1Eによって、サイドウォール用絶縁膜32およびゲート絶縁膜31にエミッタ形成用開口部32cを形成する。

【0062】次に、図9(c)に示すように、LPCVD法により、開口部33c内を含むサイドウォール用絶縁膜32の全面に、n型不純物のヒ素が高濃度にドーピングされた多結晶シリコンを例えば膜厚150nmで堆積させ、エミッタ多結晶シリコン用層24aを形成する。さらに、当該エミッタ多結晶シリコン用層24aを被覆して全面に、例えばCVD法によりシリコン酸化膜を例えば膜厚10nmで堆積させ、さらにシリコン窒化酸化膜をCVD法により膜厚110nmで堆積させて、反射防止膜35aを形成する。

【0063】次に、図9(p)に示すように、エミッタ多結晶シリコン用層24a上に、リソグラフィ技術によって、npnバイポーラトランジスタのエミッタ多結晶シリコンのパターンを有するレジスト膜R8を形成し、当該レジスト膜R8をマスクとして、例えばR1Eにより反射防止膜35aおよびエミッタ多結晶シリコン用層24aのパターニングを行い、反射防止膜35およびエミッタ多結晶シリコン24を形成する。

【0064】次に、図10(a)に示すように、レジスト膜R8をマスクとして、例えばR1Eによりサイドウォール用絶縁膜32およびゲート絶縁膜31をエッチング除去して、ゲート電極(22, 23)の側面にサイドウォール絶縁膜(32a, 32b)を形成する。なお、このとき、エミッタ多結晶シリコン24の一部の下部にも、サイドウォール用絶縁膜である酸化シリコン膜32cが残ることになる。また、ゲート電極(22, 23)の下部にゲート絶縁膜(31a, 31b)が形成される。その後、レジスト膜R8を除去する。なお、図中、サイドウォール絶縁膜(32a, 32b)および酸化シリコン膜32c下部のゲート絶縁膜は、サイドウォール絶縁膜および酸化シリコン膜と一体化させて示してある。

【0065】次に、後の工程で行われるイオン注入の緩衝用として、例えばCVD法により、不図示のシリコン酸化膜を例えば10nm程度堆積させて、熱酸化法により当該酸化シリコン膜を12nm程度に成長させる。

【0066】次に、図10(r)に示すように、nMOSTランジスタ形成領域、およびnpnバイポーラトランジスタのn型コレクタプラグ領域6に開口を有するレジスト膜R9をリソグラフィ技術を用いて形成し、n型の不純物として、例えばヒ素をイオンエネルギー35keV、ドーズ量 $5 \times 10^{15} \text{ atoms/cm}^2$ の条件でイオン注入することによって、nMOSTランジスタのソース・ドレイン領域14と、npnバイポーラトランジスタのn型コレクタ取り出し領域6aを形成する。

【0067】次に、図11(s)に示すように、pMO

STランジスタ形成領域、およびnpnバイポーラトランジスタの外部ベース領域に開口を有するレジスト膜R10をリソグラフィ技術を用いて形成し、p型の不純物として、例えばニフ化ホウ素をイオンエネルギー35keV、ドーズ量 $3 \times 10^{15} \text{ atoms/cm}^2$ の条件でイオン注入することによって、pMOSTランジスタのソース・ドレイン領域12およびnpnバイポーラトランジスタの外部ベース領域16を形成する。

【0068】次に、図11(t)に示すように、例えば1000℃で10秒間程度のRTA(Rapid Thermal Anneal)を行い、pMOSおよびnMOSTランジスタのソース・ドレイン領域(12, 14)に導入された不純物を活性化させる。また、この熱処理によりエミッタ多結晶シリコン24からシリコン酸化膜32cの開口部32cを介してp型真性ベース領域15に不純物が拡散し、n型エミッタ領域25が形成される。その後、全面にホウ素リンシリケートガラス(BPSG)を堆積させて層間絶縁膜34を形成し、900℃で20分間、N2雰囲気中でリフローを行うことにより、平坦化する。その後、層間絶縁膜34および反射防止膜35に、不図示のレジスト膜をマスクとして、pMOSTランジスタのソースドレイン領域12に達する開口部(41, 42)、nMOSTランジスタのソース・ドレイン領域14に達する開口部(43, 44)、npnバイポーラトランジスタの外部ベース領域16に達する開口部45、エミッタ多結晶シリコン24に達する開口部46、n型コレクタ取り出し領域6aに達する開口部47を形成する。

【0069】以降の工程としては、各開口部(41~47)の内部に例えばタングステン膜を堆積させ、不図示のタングステンプラグを形成し、当該タングステンプラグを介して、pMOSTランジスタのソースドレイン領域12に接続する配線(51, 52)、nMOSTランジスタのソース・ドレイン領域14に接続する配線(53, 54)、npnバイポーラトランジスタの外部ベース領域16に接続する配線55、エミッタ多結晶シリコン24に接続する配線56、コレクタ取り出し領域6aに接続する配線57を形成することにより、図1に示す半導体装置に至る。

【0070】上記の本発明の実施形態の半導体装置の製造方法によれば、サイドウォール絶縁膜形成のためのエッチング時に、バイポーラトランジスタの活性領域となるエミッタ領域、およびエミッタ領域と外部ベース領域の間の領域は、エミッタポリシリコン下部のサイドウォール用絶縁膜で覆われ、エッチングによるダメージがバイポーラトランジスタの活性領域の基板部分に与えられるのを防止することができる。従って、BiCMOSプロセスにおいて、バイポーラトランジスタの表面再結合電流の増加による低電流でのhFEの低下を防止し、信頼性の向上を図ることができる。また、外部ベース領域1

6を形成する際に、エミッタ多結晶シリコン24の上部は、反射防止膜35で被覆されているため、エミッタ多結晶シリコン24の内部に外部ベース領域形成のための不純物が導入されることなく、外部ベース領域をエミッタ多結晶シリコンに対して自己整合的に形成することができる。さらにバイポーラトランジスタの外部ベース領域は、pMOSトランジスタのソース・ドレイン領域と同時に形成することで、製造工程を削減することができる。

【0071】本発明の半導体装置およびその製造方法の実施形態は、上記の説明に限定されない。例えば、本実施形態において、例えば、図6(1)～7(1)の工程を以下のような工程とすることも可能である。

【0072】例えば、図12(j-1)に示すように、図6(1)および図7(1)での工程を1工程で行う。すなわち、図12(j-1)に示すように、リソグラフィ技術によって、pMOSトランジスタ形成領域、およびnpnバイポーラトランジスタの真性ベース形成領域に開口を有するレジスト膜R57を形成し、レジスト膜R57をマスクとして、p型不純物の例えば二フッ化ホウ素(BF<sub>2</sub>)を、イオンエネルギー25keV、ドーズ量 $2 \times 10^{13} \text{ at oms/cm}^2$ の条件で、イオン注入することによって、ゲート電極22の両側部におけるエピタキシャル層2のn型ウェル7中にp型LDD領域11を形成し、同時にp型真性ベース領域15を形成する。また、さらにレジスト膜R57をマスクとして、n型不純物の例えばヒ素(As<sup>+</sup>)をイオンエネルギー30keV、ドーズ量 $1.5 \times 10^{13} \text{ at oms/cm}^2$ の条件でイオン注入することによって、p型LDD領域11の下部にn型ウェル7の一部となる不図示のn型ポケットを形成し、同時に、真性ベース領域15の直下のn型コレクタ不純物濃度を増大させるためのSIC(Selective Ion Implantation of Collector)領域17を形成する。

【0073】次に、レジスト膜R57を除去した後、図12(k)に示すように、図7(k)と同様の工程を行う。すなわち、リソグラフィ技術によって、nMOS形成領域に開口を有するレジスト膜R6を形成し、レジスト膜R6をマスクとして、n型不純物の例えばヒ素(As<sup>+</sup>)を、所定の条件でイオン注入することによって、ゲート電極23の両側部におけるエピタキシャル層2のp型ウェル8中にn型LDD領域13を形成する。また、続けて、n型LDD領域13の下部に短チャネル効果防止のために、p型不純物の例えばホウ素(B<sup>+</sup>)を所定の条件でイオン注入することによって、n型LDD領域13の下部にp型ウェル8の一部となる不図示のp型ポケットを形成する。続けて、図8(m)以降の工程を行うことにより、図1に示す半導体装置に至ることとなる。

【0074】これにより、バイポーラトランジスタの真

性ベース領域はpMOSトランジスタp型LDD領域と、バイポーラトランジスタのSIC領域はpMOSトランジスタのポケット領域と同時に形成することで、製造工程を削減することができる。

【0075】その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0076】

【発明の効果】本発明の半導体装置の製造方法によれば、サイドウォール絶縁膜を形成する際には、エミッタ電極下部のエミッタ領域形成用絶縁膜が剥離するため、第1の半導体素子の活性領域であるエミッタ領域、およびエミッタ領域と外部ベース領域の間の領域における半導体基板には、サイドウォール絶縁膜形成の際のダメージを与えることなくサイドウォール絶縁膜を形成することができる。また、エミッタ電極に対して自己整合的に外部ベース領域を形成でき、かつエミッタ電極上部に保護膜を形成していることにより、外部ベース領域形成のための不純物がエミッタ電極中に導入されることによる特性変動を防止することができる。さらに、第1の半導体素子の真性ベース領域、真性ベース領域下のコレクタ領域の不純物濃度を増大させるための不純物層および外部ベース領域の形成工程において、同時にそれぞれ第2の半導体素子の低温度拡散層、ポケット領域およびソース・ドレイン領域を形成することにより、製造工程の削減を図ることができる。

#### 【図面の簡単な説明】

【図1】図1は、本発明の半導体装置の製造方法により製造されるBiCMOSトランジスタの断面図である。  
【図2】図2は、本発明の半導体装置の製造方法の製造工程を示す断面図であり、(a)は酸化膜への開口部の形成工程まで、(b)はn型コレクタ埋め込み領域およびn型分離領域の形成工程までを示す。  
【図3】図3は、図2の続きの工程を示す断面図であり、(c)はn型エピタキシャル層の形成工程まで、(d)は素子分離絶縁膜の形成工程までを示す。  
【図4】図4は、図3の続きの工程を示す断面図であり、(e)はn型コレクタプラグ領域の形成工程まで、(f)はn型ウェルの形成工程までを示す。  
【図5】図5は、図4の続きの工程を示す断面図であり、(g)はp型ウェルの形成工程まで、(h)はゲート絶縁膜の形成工程までを示す。  
【図6】図6は、図5の続きの工程を示す断面図であり、(i)はゲート電極の形成工程まで、(j)はp型LDD領域の形成工程までを示す。  
【図7】図7は、図6の続きの工程を示す断面図であり、(k)はn型LDD領域の形成工程まで、(l)は真性ベース領域およびSIC領域の形成工程までを示す。  
【図8】図8は、図7の続きの工程を示す断面図であり、(m)はサイドウォール用絶縁膜の形成工程まで、

(n) はエミッタ形成のための開口部の形成工程までを示す。

【図9】図9は、図8の続きの工程を示す断面図であり、(o) は反射防止膜の形成工程まで、(p) はエミッタ多結晶シリコン層の形成工程までを示す。

【図10】図10は、図9の続きの工程を示す断面図であり、(q) はサイドウォール絶縁膜の形成工程まで、(r) はnMOSトランジスタのソース・ドレイン領域およびn型コレクタ取り出し領域の形成工程までを示す。

【図11】図11は、図10の続きの工程を示す断面図であり、(s) はpMOSトランジスタのソース・ドレイン領域形成工程まで、(t) は配線用の開口部の形成工程までを示す。

【図12】図12は、本実施形態に係る半導体装置の製造方法の他の例である。

【図13】図13は、従来の製造方法により製造されるBiCMOSTランジスタの断面図である。

【図14】図14は、従来のBiCMOSTランジスタの製造方法による製造工程を示す断面図であり、(e) は酸化膜への開口部の形成工程まで、(b) はn型コレクタ埋め込み領域およびn型分離領域の形成工程までを示す。

【図15】図15は、図14の続きの工程を示す断面図であり、(c) はn型エピタキシャル層の形成工程まで、(d) は素子分離絶縁膜の形成工程までを示す。

【図16】図16は、図15の続きの工程を示す断面図であり、(e) はn型コレクタプラグ領域の形成工程まで、(f) はn型ウェルの形成工程までを示す。

【図17】図17は、図16の続きの工程を示す断面図であり、(g) はp型ウェルの形成工程まで、(h) はゲート絶縁膜の形成工程までを示す。

【図18】図18は、図17の続きの工程を示す断面図であり、(i) はゲート電極の形成工程まで、(j) はp型LDD領域の形成工程までを示す。

【図19】図19は、図18の続きの工程を示す断面図

であり、(k) はn型LDD領域の形成工程まで、

(l) は高性ベース領域およびSiC領域の形成工程までを示す。

【図20】図20は、図19の続きの工程を示す断面図であり、(m) はサイドウォール用絶縁膜の形成工程まで、(n) はサイドウォール絶縁膜形成工程までを示す。

【図21】図21は、図20の続きの工程を示す断面図であり、(o) はnMOSトランジスタのソース・ドレイン領域およびn型コレクタ取り出し領域の形成工程まで、(p) はpMOSトランジスタのソース・ドレイン領域 および外部ベース領域の形成工程までを示す。

【図22】図22は、図21の続きの工程を示す断面図であり、(q) はエミッタ形成のための酸化膜の形成工程まで、(r) はエミッタ多結晶シリコン用層の形成工程までを示す。

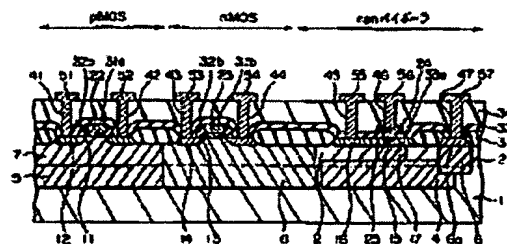
【図23】図23は、図22の続きの工程を示す断面図であり、(s) はエミッタ多結晶シリコンの形成工程まで、(t) は層間絶縁膜への配線用の開口部の形成工程までを示す。

【符号の説明】

1…p型半導体基板、2…n型エピタキシャル層、3…素子分離絶縁膜、4…n型コレクタ埋め込み領域、5…n型分離領域、6…コレクタプラグ領域、7…n型ウェル、8…p型ウェル、11…p型LDD領域、12…p型ソース・ドレイン領域、13…n型LDD領域、14…n型ソース・ドレイン領域、15…高性ベース領域、16…外部ベース領域、17…SiC領域、22、23…ゲート電極、24…エミッタ多結晶シリコン、25…エミッタ領域、31、31a、31b…ゲート絶縁膜、32、32a、32b…サイドウォール絶縁膜、32c…シリコン酸化膜、32d…開口部、33…シリコン酸化膜、33a…開口部、34…層間絶縁膜、41、42、43、44、45、46、47…配線用開口部、51、52、53、54、55、56、57…配線。

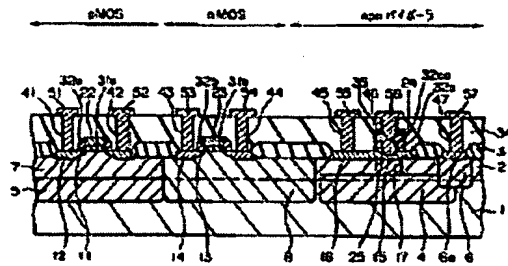
【図13】

FIG. 13



【図 1】

FIG. 1



【図 2】



FIG. 2(a)



FIG. 2(b)



【図 3】



FIG. 3(c)

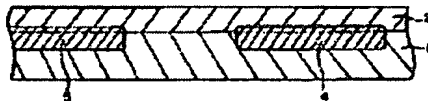
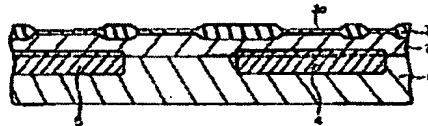
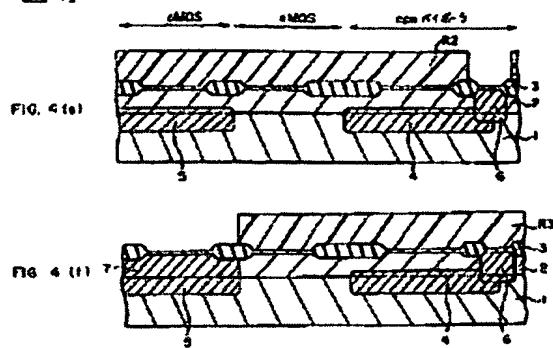


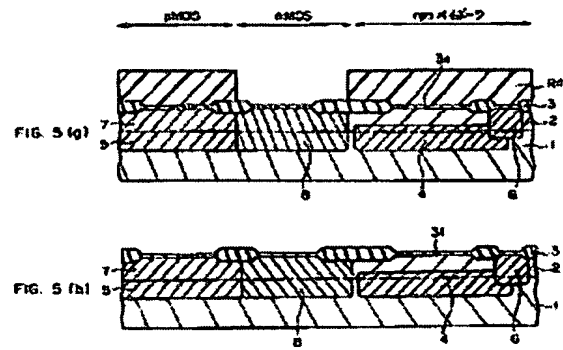
FIG. 3(d)



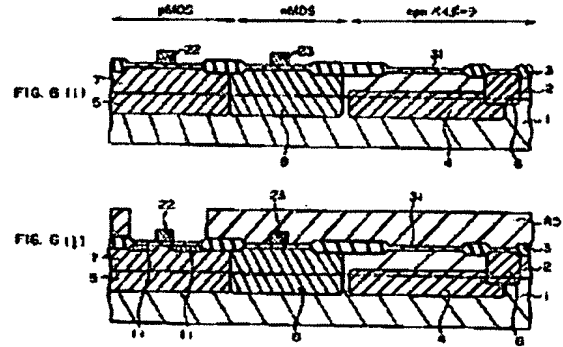
[FIG 4]



[FIG 5]



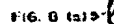
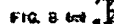
[FIG 6]



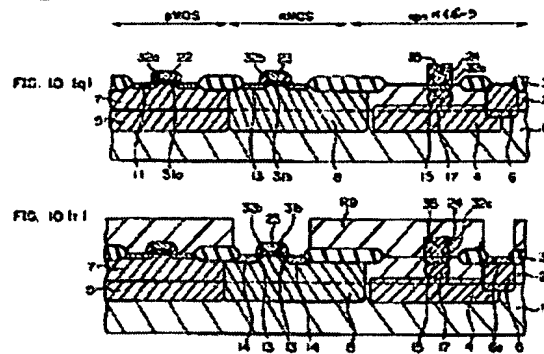
PMOS          NMOS          n<sub>in</sub> 15-9



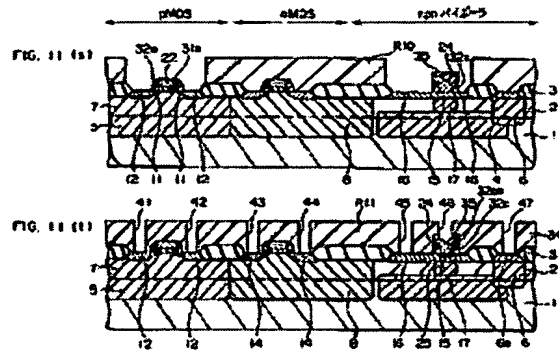
PMOS                      CMOS                      2N4340



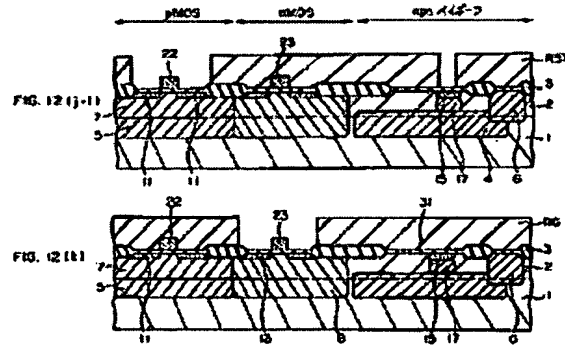
【図 10】



【図 11】



【図 12】





[ 14 ]

pMOS      nMOS      region

FIG. 14 (a)

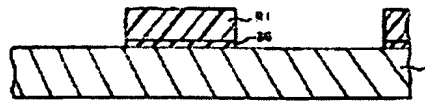
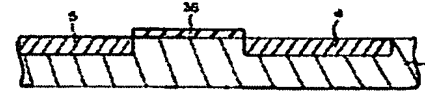


FIG. 14 (b)



[ 15 ]

pMOS      nMOS      region

FIG. 15 (c)

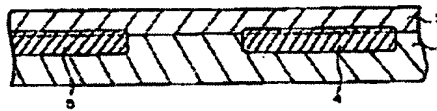
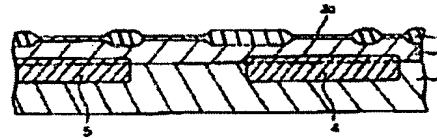


FIG. 15 (d)



[ 16 ]

pMOS      nMOS      region

FIG. 16 (e)

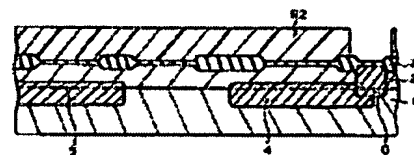
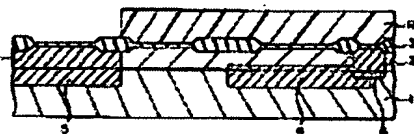
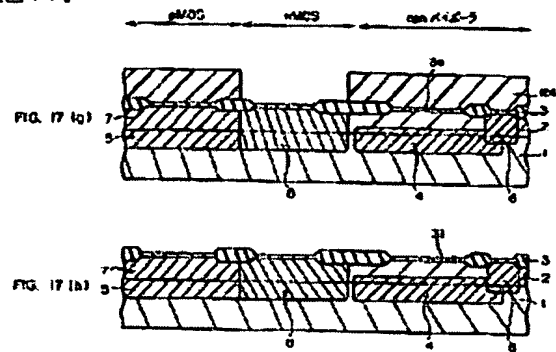


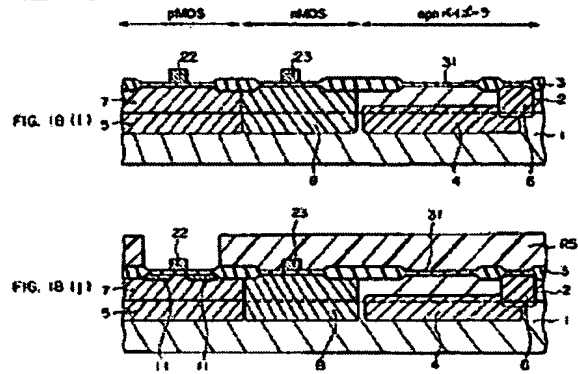
FIG. 16 (f)



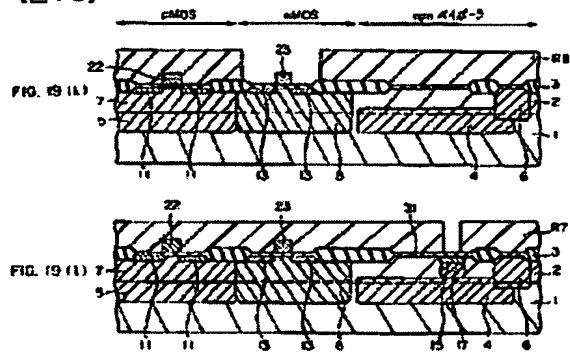
【図 17】



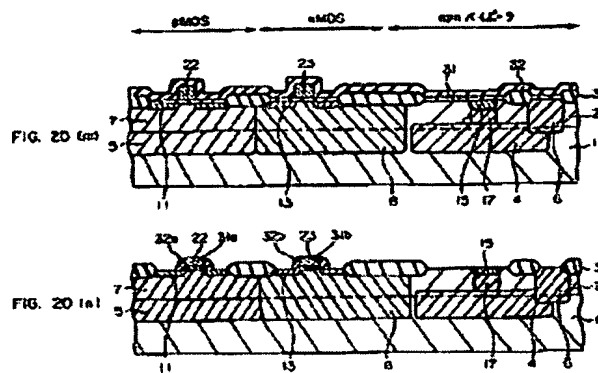
【図 18】



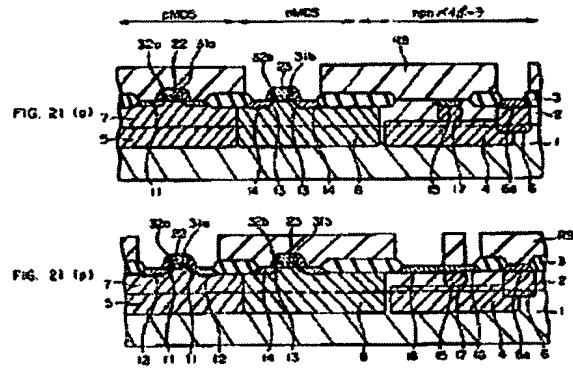
【図 19】



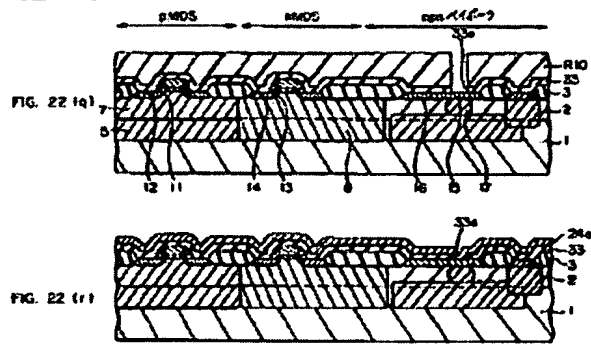
【図 20】



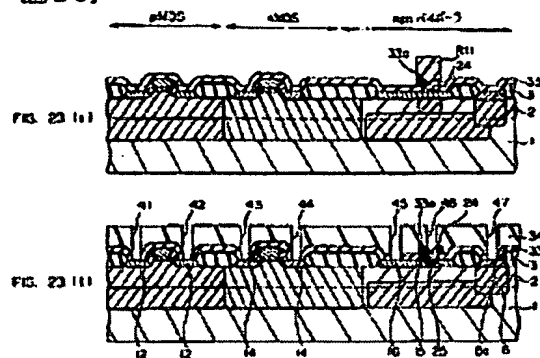
【図 21】



【図 22】



[図 23]



フロントページの続き

(51)Int.Cl.7  
H01L 21/8222

図別記号

F I

テーマコート\* (参考)

Fターム (参考) SF048 AA01 AA07 AA09 AA10 AC05  
BA02 BA07 BA12 BB05 BB06  
BB09 BC05 BC06 BD04 BE03  
BF07 BF11 BG12 BH03 CA03  
CA07 CA14 CA15 DA06 DA07  
DA25  
SF092 AA17 BA04 BA22 BA31 BC03  
BC09 DA03 DA10